

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-175394

(43)Date of publication of application : 02.07.1999

(51)Int.Cl.

G06F 12/00

(21)Application number : 09-341142

(71)Applicant : NEC CORP

(22)Date of filing : 11.12.1997

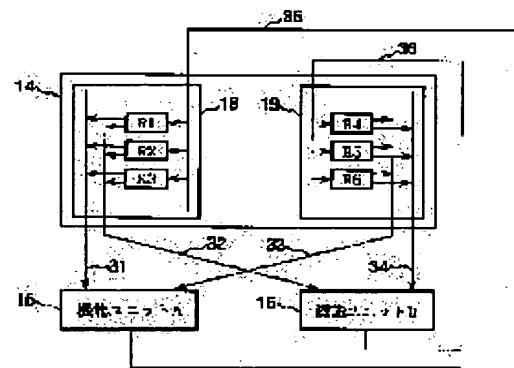
(72)Inventor : SHIMADA SACHIKO

(54) INFORMATION PROCESSOR AND MULTI-PORT REGISTER FILE

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce the area of a multi-port register file used for data exchange between plural function units.

SOLUTION: This multi-port register file 14 is provided with two memory cell blocks 18 and 19. The memory cell block 18 is provided with registers R1-R3 which are respectively connected to a rear-out port 31 connected to a function unit A15, a read-out port 32 connected to a function unit B16 and a write port 35 connected to the function unit A15. The memory cell block 19 is provided with registers R4-R6 which are respectively connected to a read-out port 33 connected to the function unit A15, a read-out port 34 connected to the function unit B16 and a write port 36 connected to the function unit B16.



LEGAL STATUS

[Date of request for examination] 11.12.1997

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3341662

[Date of registration] 23.08.2002

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-175394

(43) 公開日 平成11年(1999) 7月2日

(51) Int.Cl.⁸

G 0 6 F 12/00

識別記号

5 7 0

F I

G 0 6 F 12/00

5 7 0 C

審査請求 有 請求項の数 5 O L (全 13 頁)

(21) 出願番号 特願平9-341142

(22) 出願日 平成9年(1997)12月11日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 嶋田 幸子

東京都港区芝五丁目7番1号 日本電気株式会社内

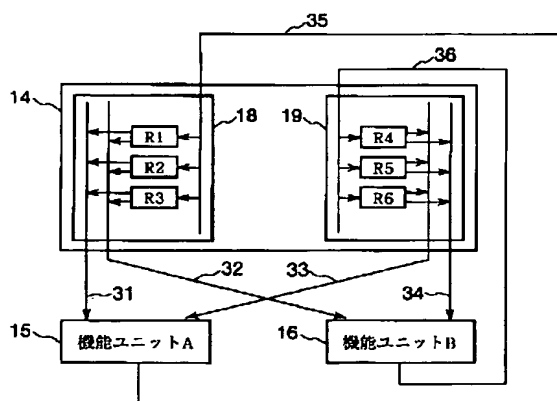
(74) 代理人 弁理士 古溝 聡 (外1名)

(54) 【発明の名称】 情報処理装置及び多ポートレジスタファイル

(57) 【要約】

【課題】 複数の機能ユニット間でのデータ交換に用いる多ポートレジスタファイルの面積を小さくする。

【解決手段】 多ポートレジスタファイル14は、2つのメモリセルブロック18、19を有する。メモリセルブロック18は、レジスタR1～R3を有し、レジスタR1～R3は、それぞれ機能ユニットA15に接続されている読み出しポート31と、機能ユニットB16に接続されている読み出しポート32と、機能ユニットA15に接続されている書き込みポート35とに接続されている。メモリセルブロック19は、レジスタR4～R6を有し、レジスタR4～R6は、それぞれ機能ユニットA15に接続されている読み出しポート33と、機能ユニットB16に接続されている読み出しポート34と、機能ユニットB16に接続されている書き込みポート36とに接続されている。



【特許請求の範囲】

【請求項1】同時に複数の命令をデコードすることが可能なデコーダと、

前記デコーダで同時にデコードされた複数の命令をそれぞれで同時に実行することが可能な複数の機能ユニットと、

それぞれ少なくとも1つのメモリセルから構成される複数のメモリセルブロックを有し、前記メモリセルに書き込まれたデータを前記複数の機能ユニットのそれぞれに読み出すための複数の読み出しポートが、前記複数のメモリセルブロック毎に前記複数の機能ユニットのそれぞれに対応して設けられ、前記メモリセルにデータを書き込むための複数の書き込みポートが前記メモリセルブロック毎に前記複数の機能ユニットの一部に対応して設けられている多ポートレジスタファイルと、を備えることを特徴とする情報処理装置。

【請求項2】前記複数の機能ユニットはそれぞれ、該機能ユニットに対応して設けられている書き込みポートを介して、前記複数のメモリブロックのうちの一部のメモリブロック内のメモリセルにデータを書き込むことができることを特徴とする請求項1に記載の情報処理装置。

【請求項3】前記複数の命令は、それぞれ前記複数のメモリセルブロック内のどのメモリセルを使用し、前記複数の機能ユニットのいずれで実行されるかがソフトウェアによって決定されていることを特徴とする請求項1または2に記載の情報処理装置。

【請求項4】前記ソフトウェアによって決定された使用されるべきメモリセルを命令の実行時に変更し、このメモリセルブロックの変更に応じて前記ソフトウェアによって決定された該命令を実行すべき機能ユニットを変更する変更手段を備えることを特徴とする請求項3に記載の情報処理装置。

【請求項5】複数の書き込みポートと読み出しポートとをもつメモリセルで構成される複数のメモリセルブロックからなる多ポートレジスタファイルにおいて、前記メモリセルブロック内のすべてのメモリセルがすべての機能ユニットに接続する読み出しポートを持ち、前記機能ユニットから書き込むことができるレジスタファイル内の一部のメモリセルブロック内のすべてのメモリセルが該機能ユニットに接続する書き込みポートを持つことを特徴とする多ポートレジスタファイル。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、複数の機能ユニットを有する情報処理装置及びこのような情報処理装置で用いられる多ポートレジスタファイルに関する。

【0002】

【従来の技術】近年、スーバスカラ技術などの並列処理に処理によってマイクロプロセッサの高性能化が進んでいる。このスーバスカラ技術が適用されている情報処理

装置は、複数の機能ユニットによって複数命令を並列して実行するものであり、該複数の機能ユニット間でのデータの転送のために多ポートレジスタファイルが使用されている。

【0003】図13は、従来のこのような情報処理装置の第1の例を示す図である。この情報処理装置においては、デコーダ105がワード線106をアクティブにしてトランジスタ114をオンすることによって、多ポートレジスタファイル101のメモリセル102内のデータがビット線110を介して機能ユニット103に読み出される。また、デコーダ105がワード線107をアクティブにしてトランジスタ115をオンすることによって、メモリセル102内のデータがビット線111を介して機能ユニット104に読み出される。また、デコーダ105がワード線108をアクティブにしてトランジスタ116をオンすることによって、機能ユニット103からビット線112を介してメモリセル102にデータが書き込まれる。また、デコーダ105がワード線109をアクティブにしてトランジスタ117をオンすることによって、機能ユニット104からビット線113を介してメモリセル102にデータが書き込まれる。すなわち、この情報処理装置で使用されている多ポートレジスタファイル101は、読み出しポートと書き込みポートを2つずつ保有するものとなる。

【0004】図14は、従来の情報処理装置の第2の例を示す図である。この情報処理装置の多ポートレジスタファイル201内には複数のメモリセルブロック202、203が設けられ、ワード線216、219は、デコーダ206、207によって同時にアクティブになり、トランジスタ222、225をオンする。これにより、機能ユニット208からビット線210、213を介してメモリセル204、205の双方にデータが書き込まれる。同様に、ワード線217、220は、デコーダ206、207によって同時にアクティブになり、トランジスタ223、226をオンする。これにより、機能ユニット209からビット線211、214を介してメモリセル204、205の双方にデータが書き込まれる。一方、機能ユニット208がデータの読み出しを行うときに、デコーダ206によってワード線218がアクティブにされ、これによりオンされたトランジスタ224、ビット線212を介して機能ユニット208にメモリセル204内のデータが読み出される。また、機能ユニット209がデータの読み出しを行うときに、デコーダ207によってワード線221がアクティブにされ、これによりオンされたトランジスタ227、ビット線215を介して機能ユニット209にメモリセル205内のデータが読み出される。すなわち、この多ポートレジスタファイル201は、読み出しポートを1つにしてもメモリセルを2つ設けることによって、機能ユニット208、209による並列処理を可能とするものであ

る。

【0005】図15は、従来例の情報処理装置の第3の例を示す図である。この情報処理装置では、整数演算用レジスタファイル301と浮動小数点演算用レジスタファイル302とが設けられている。整数演算用ユニット(IU)303は、読み出しポート305、306を介して整数演算用レジスタファイル301からデータを読み出し、書き込みポート309を介して演算結果を整数演算用レジスタファイル301に書き込むことができる。また、浮動小数点演算用ユニット(FPU)302は、読み出しポート307、308を介して浮動小数点演算用レジスタファイル302からデータを読み出し、書き込みポート310を介して演算結果を浮動小数点演算用レジスタファイル302に書き込むことができる。

【0006】

【発明が解決しようとする課題】しかしながら、上記第1の従来例では、多ポートレジスタファイル101には、機能ユニット103、104の数と少なくとも同数の読み出しポートと書き込みポートが必要となる。そして、読み出しポートと書き込みポートに対応して、それぞれワード線106~109、ビット線110~113及びトランジスタ114~117を設けなければならない。このため、多ポートレジスタファイル101の面積が大きくなるという問題があった。

【0007】また、上記第2の従来例では、同一のデータを書き込むために複数のメモリセル204、205と、それぞれのメモリセルへの書き込みポート210、211、213、214を設けなければならなかった。このため、多ポートレジスタファイル201全体の面積が大きくなると共に、消費電力が大きくなるという問題があった。

【0008】また、上記第3の従来例では、浮動小数点演算用ユニット304が整数演算用レジスタファイル301に格納されているデータを使用するためには、まず、データ線311を介して整数演算用レジスタファイル301から浮動小数点演算用レジスタファイル302にデータを読み出さなければならないという問題があった。同様に、整数演算用ユニット303が浮動小数点演算用レジスタファイル302に格納されているデータを使用するためには、まず、データ線311を介して浮動小数点演算用レジスタファイル302から整数演算用レジスタファイル301にデータを読み出さなければならないという問題があった。これらの問題点はレジスタファイルのポート数を増大させるという欠点がある。

【0009】本発明は、上記従来例の問題点を解消するためになされたものであり、複数の機能ユニット間でのデータ交換のために用いられる多ポートレジスタファイルの面積を小さくした情報処理装置、及びこのような多ポートレジスタファイルを提供することを目的とする。

【0010】

【課題を解決するための手段】上記目的を達成するため、本発明の第1の観点にかかる情報処理装置は、同時に複数の命令をデコードすることが可能なデコーダと、前記デコーダで同時にデコードされた複数の命令をそれぞれで同時に実行することが可能な複数の機能ユニットと、それぞれ少なくとも1つのメモリセルから構成される複数のメモリセルブロックを有し、前記メモリセルに書き込まれたデータを前記複数の機能ユニットのそれぞれに読み出すための複数の読み出しポートが、前記複数のメモリセルブロック毎に前記複数の機能ユニットのそれぞれに対応して設けられ、前記メモリセルにデータを書き込むための複数の書き込みポートが前記メモリセルブロック毎に前記複数の機能ユニットの一部に対応して設けられている多ポートレジスタファイルと、を備えることを特徴とする。

【0011】すなわち、上記情報処理装置において、前記複数の機能ユニットはそれぞれ、該機能ユニットに対応して設けられている書き込みポートを介して、前記複数のメモリブロックのうちの一部のメモリブロック内のメモリセルにデータを書き込むことができるものとするものである。

【0012】上記情報処理装置では、前記複数の機能ユニットのそれぞれがデータを書き込むメモリセルブロックが制限されていても、読み出しは任意のメモリセルブロックから行うことができるので、前記複数の機能ユニットが前記多ポートレジスタファイルのメモリセルブロックのすべてに接続されていなくても、前記複数の機能ユニットによる並列処理が可能となる。このため、前記多ポートレジスタファイルに設ける書き込みポートの数を少なく抑えることができ、しかも多ポートレジスタファイル内に同一のデータを書き込むためのメモリセルを複数設ける必要がない。従って、前記多ポートレジスタファイル全体での面積を小さくすることができる。

【0013】上記情報処理装置において、前記複数の命令は、それぞれ前記複数のメモリセルブロック内のどのメモリセルを使用し、前記複数の機能ユニットのいずれで実行されるかがソフトウェアによって決定されているものとしてもよい。

【0014】なお、このように上記複数の命令がそれぞれ前記複数のメモリセルブロック内のどのメモリセルを使用し、前記複数の機能ユニットのいずれで実行されるかを決定するソフトウェアは、例えば、コンパイラの機能の一部として設けても、専用のソフトウェアによってもよい。

【0015】この場合、上記情報処理装置は、前記ソフトウェアによって決定された使用されるべきメモリセルを命令の実行時に変更し、このメモリセルブロックの変更に応じて前記ソフトウェアによって決定された該命令を実行すべき機能ユニットを変更する変更手段をさらに備えるものとすることができる。

【0016】上記目的を達成するため、本発明の第2の観点にかかる多ポートレジスタファイルは、複数の書き込みポートと読み出しポートとをもつメモリセルで構成される複数のメモリセルブロックからなる多ポートレジスタファイルにおいて、前記メモリセルブロック内のすべてのメモリセルがすべての機能ユニットに接続する読み出しポートを持ち、前記機能ユニットから書き込むことができるレジスタファイル内の一部のメモリセルブロック内のすべてのメモリセルが該機能ユニットに接続する書き込みポートを持つことを特徴とする。

【0017】

【発明の実施の形態】以下、添付図面を参照して、本発明の実施の形態について説明する。

【0018】〔第1の実施の形態〕図1は、この実施の形態にかかる情報処理装置の構成を示すブロック図である。図示するように、この情報処理装置は、命令キャッシュ11と、プリフェッチバッファ12と、デコーダ13と、多ポートレジスタファイル14と、機能ユニットA15と、機能ユニットB16と、データキャッシュ17とから構成されている。

【0019】命令キャッシュ11は、命令を記憶するために用いられるキャッシュメモリである。命令キャッシュ11に記憶される命令は、コンパイラによってコンパイルされたアセンブラプログラムについての各命令である。各命令は、コンパイル時に、レジスタを指定することにより演算結果が書き込まれるレジスタに書き込みポートが接続されている機能ユニットによって演算されるように決定される。なお、この命令は、後述するように、レジスタを3つ指定する。

【0020】プリフェッチバッファ12は、データ取り出し機構（図示せず）によって命令データ線21を介して命令キャッシュ11から取り出された命令が一時的に格納されるバッファである。データ取り出し機構は、命令キャッシュから複数の命令を同時に取り出すことができ、プリフェッチバッファ12は、これらの同時に取り出された複数の命令を格納する。

【0021】デコーダ13は、命令データ線22を介してプリフェッチバッファ12に格納されている命令列中の複数の命令を同時にデコードする。デコーダ13は、デコード結果に従って、信号線23、24を介して制御信号を多ポートレジスタファイル14のメモリセルブロック18、19に制御信号を送る。これにより、機能ユニットA15、機能ユニットB16からレジスタへのデータの読み書きが行われる。デコーダ13は、デコードした命令に対応して命令キャッシュ11に格納されている後述する機能ユニットの振り分け情報に従って、機能ユニットA15と機能ユニットB16のいずれかに指定されたレジスタを用いる命令コードが示す演算を実行させる。

【0022】多ポートレジスタファイル14は、2つの

メモリセルブロック18、19を有する。メモリセルブロック18、19は、それぞれ1ワード分のビット数のメモリセルによって構成されるレジスタを3つずつ有する。メモリセルブロックの18の各レジスタは、機能ユニットA15に接続されている読み出しポート31と、機能ユニットB16に接続されている読み出しポート32と、機能ユニットA15に接続されている書き込みポート35とに接続されている。メモリセルブロック19の各レジスタは、機能ユニットA15に接続されている読み出しポート33と、機能ユニットB16に接続されている読み出しポート34と、機能ユニットB16に接続されている書き込みポート36とに接続されている。また、多ポートメモリレジスタ内の各レジスタには、データ線27を介してデータキャッシュ17に格納されているデータを書き込むことが可能である。

【0023】機能ユニットA15及び機能ユニットB16は、それぞれ固定小数点演算装置或いは浮動小数点演算装置などによって構成され、デコーダ13の制御結果に従い、前述のように指定されたメモリセルブロック18、19内のレジスタを用いて、命令コードが示す演算を実行する。すなわち、多ポートレジスタファイル14のメモリセルブロック18、19内のレジスタから読み出されたデータに対して、命令コードで示す処理を行い、オペランド部で指定されたレジスタに処理結果のデータを書き込む。なお、この実施の形態においては、機能ユニットA15と機能ユニットB15とは同一の機能を持つものとし、並行処理が可能である。また、機能ユニットA15と機能ユニットB16とのいずれで演算を実行するかは、後述するようにプログラムの変数に割り当てられるレジスタに応じてコンパイル段階で決定され、各命令と共に命令キャッシュ11に書き込まれている。

【0024】多ポートレジスタファイル14、機能ユニットA15及び機能ユニットB16の機能について、図2を参照してさらに詳しく説明する。図2に示すように、多ポートレジスタファイル14のメモリセルブロック18には、3つのレジスタR1～R3が含まれている。メモリセルブロック19には、3つのレジスタR4～R6が含まれている。

【0025】デコーダ13によってデコードされた命令が機能ユニットA15によって実行されるものであるときは、メモリセルブロック18中のレジスタR1～R3に格納されているデータは、読み出しポート31を介して機能ユニットA15に読み出される。メモリセルブロック19中のレジスタR4～R6に格納されているデータは、読み出しポート33を介して機能ユニットA15に読み出される。機能ユニットA15による演算結果は、書き込みポート35を介してメモリセルブロック18中のレジスタR1～R3に書き込まれる。

【0026】デコーダ13によってデコードされた命令

10

20

30

40

50

が機能ユニットB16によって実行されるものであるときは、メモリセルブロック19中のレジスタR4～R6に格納されているデータは、読み出しポート32を介して機能ユニットB16に読み出される。メモリセルブロック19中のレジスタR4～R6に格納されているデータは、読み出しポート34を介して機能ユニットB16に読み出される。機能ユニットB16による演算結果は、書き込みポート36を介してメモリセルブロック19中のレジスタR4～R6に書き込まれる。

【0027】すなわち、機能ユニットA15及び機能ユニットB16は、メモリセルブロック18、19のいずれに含まれているレジスタからもデータを読み出すことができる。一方、機能ユニットA15の演算結果は、メモリセルブロック18に含まれているレジスタにのみ書き込みが可能である。演算ユニットB16の演算結果は、メモリセルブロック19に含まれているレジスタにのみ書き込みが可能である。

【0028】図1に戻り、データキャッシュ17は、命令以外のデータを記憶するために用いられるキャッシュメモリである。機能ユニットA15或いは機能ユニットB16が実行する命令がSTORE命令である場合には、その演算結果は、機能ユニットデータキャッシュ17にも書き込まれる。この場合、主記憶装置（図示せず）への書き込みは、ライトスルー方式またはライトバック方式のいずれによってもよい。

【0029】以下、この実施の形態にかかる情報処理装置の動作について、説明する。ここでは、この情報処理装置は、数式1に示す処理を実行するものとする。

【数1】

*

命令 アドレス	命令	注 釈	機能ユニット
00	ADD R1, R4, R3	$R3 \leftarrow R1 + R4$	A
04	ADD R3, R6, R5	$R5 \leftarrow R3 + R6$	B
08	SUB R3, R6, R2	$R2 \leftarrow R3 - R6$	A

【0032】なお、後述するように表2に示す命令の実行が開始されるときには、変数a、b及びdの値は、それぞれに割り当てられたレジスタR1、R4及びR6に格納されているものとする。

【0033】プリフェッチバッファ12のデータ読み出し機構は、命令データ線21を介して命令キャッシュ11に格納されている命令を順次読み出し、複数の命令をプリフェッチバッファ12に格納する。

【0034】次に、デコーダ13は、プリフェッチバッファ12に格納されている複数の命令と読み出し、デコードする。ここで、アドレス0x04からの命令はアドレス0x00からの命令の実行結果を利用しているた

* $c \leftarrow a + b$

$e \leftarrow c + d$

$f \leftarrow c - d$

【0030】この実施の形態では、上記処理を実行するためのソースプログラムをアセンブラプログラムにコンパイルするときに、コンパイラは、表1に示すように、上記処理中の変数a～fに多ポートレジスタファイル14中のレジスタR1～R6を割り当てる。

【表1】

変数	割り当てられたレジスタ
a	R1
b	R4
c	R3
d	R6
e	R5
f	R2

【0031】また、上記コンパイラによってコンパイルされたアセンブラプログラムは、表2に示すようになる。また、コンパイラによって、各命令ステップを処理するための機能ユニットは、表2に示すように振り分けられる。これらは、命令キャッシュ11に格納される（但し、命令アドレスは16進の下2桁のみを示し、命令は0x00番地から格納される）。

【表2】

め、アドレス0x00からの命令と同時に実行できないが、アドレス0x08からの命令は、アドレス0x04からの命令の結果を利用していないため、機能ユニットA15と機能ユニットBとの両方を用いて同時に実行する。

【0035】以下、この情報処理装置における上記の表2に示す命令列の実行について、図3～図5を参照して、説明する。

【0036】まず、アドレス0x00からの命令は、機能ユニットA15が実行する。機能ユニットA15は、図3に示すように、読み出しポート31を介してレジスタR1のデータを読み出す。また、読み出しポート33

を介してレジスタR4のデータを読み出す。そして、レジスタR1のデータとレジスタR4のデータとを加算し、その加算結果を書き込みポート35を介してレジスタR3に書き込む。

【0037】次に、機能ユニットB16によるアドレス0x04からの命令の実行と、機能ユニットA15によるアドレス0x08からの命令の実行とが、同時に行われる。機能ユニットB16は、図4に示すように、読み出しポート32を介してレジスタR3のデータを読み出す。また、読み出しポート34を介してレジスタR6のデータを読み出す。そして、レジスタR3のデータとレジスタR6のデータとを加算し、その加算結果を書き込みポート36を介してレジスタR5に書き込む。

【0038】一方、機能ユニットA15は、図5に示すように、読み出しポート31を介してレジスタR3のデータを読み出す。また、読み出しポート33を介してレジスタR6のデータを読み出す。そして、レジスタR3のデータからレジスタR6のデータを減算し、その加算結果を書き込みポート35を介してレジスタR2に書き込む。すなわち、アドレス0x04からの命令とアドレス0x08からの命令とは、読み出しポート31～34或いは書き込みポート35、36の競合が発生せず、同時に実行することが可能となる。

【0039】以上説明したように、この実施の形態の情報処理装置に設けられている多ポートレジスタメモリ14では、メモリセルブロック18、19のそれぞれに対応する書き込みポートを1つだけとすることができ、機能ユニットに対応する数だけ設ける必要がない。また、同一のデータを書き込むための複数のメモリセルを設ける必要がない。このため、多ポートレジスタファイル14の全体の面積を小さくすることができる。

【0040】また、この実施の形態の情報処理装置では、上記したように、読み出しポート31～34或いは書き込みポート35、36の競合が発生することなく、機能ユニットA15と機能ユニットB16との並列動作が可能となる。

【0041】〔第2の実施の形態〕この実施の形態にかかる情報処理装置は、第1の実施の形態のもの(図1)*

*とはほぼ同一である。但し、この実施の形態においては、機能ユニットA15が有する機能と機能ユニットB16が有する機能とが異なり、機能ユニットA15は“ADD”命令を、機能ユニットB16は“SUB”命令を実行するものとする。各命令の演算を処理する機能ユニットは、コンパイル時に命令の種類によって決定されるが、変数へのレジスタR1～R6の割り付けは、演算を行った機能ユニットが結果を書き込むものによって決定される。

【0042】以下、この実施の形態にかかる情報処理装置の動作について、説明する。この実施の形態において、情報処理装置が処理する処理は、第1の実施の形態のものと同一、数式1に示すものとする。

【0043】この実施の形態では、上記処理を実行するためのソースプログラムをアセンブラプログラムにコンパイルするときに、コンパイラは、表3に示すように、上記処理中の変数a～fに多ポートレジスタファイル14中のレジスタR1～R6を割り当てる。

〔表3〕

変数	割り当てられたレジスタ
a	R1
b	R4
c	R3
d	R5
e	R2
f	R6

【0044】また、上記コンパイラによってコンパイルされたアセンブラプログラムは、表4に示すようになる。また、コンパイラによって、各命令ステップを処理するための機能ユニットは、表4に示すように振り分けられる。これらは、命令キャッシュ11に格納される(但し、命令アドレスは16進の下2桁のみを示し、命令は0x00番地から格納される)。

〔表4〕

命令 アドレス	命令	注 釈	機能ユニット
00	ADD R1, R4, R3	R3←R1+R4	A
04	ADD R3, R5, R2	R2←R3+R5	A
08	SUB R3, R5, R6	R6←R3-R5	B

【0045】なお、後述するように表4に示す命令の実行が開始されるときには、変数a、b及びdの値は、それぞれに割り当てられたレジスタR1、R4及びR5に

格納されているものとする。

【0046】この実施の形態において、命令キャッシュ11に格納された命令の取り出しからデコーダ13によ

る命令のデコードまでの動作は、第1の実施の形態の場合と同一である。ここで、アドレス0x04からの命令はアドレス0x00からの命令の実行結果を利用しているため、アドレス0x00からの命令と同時に実行できないが、アドレス0x08からの命令は、アドレス0x04からの命令の結果を利用しておらず、しかも実行される機能ユニットが異なるため、機能ユニットA15と機能ユニットBとの両方を用いて同時に実行する。

【0047】以下、この情報処理装置における上記の表2に示す命令列の実行について、図6～図8を参照して、説明する。

【0048】まず、アドレス0x00からの命令は、機能ユニットA15が実行する。機能ユニットA15は、図6に示すように、読み出しポート31を介してレジスタR1のデータを読み出す。また、読み出しポート33を介してレジスタR4のデータを読み出す。そして、レジスタR1のデータとレジスタR4のデータとを加算し、その加算結果を書き込みポート35を介してレジスタR3に書き込む。

【0049】次に、機能ユニットA15によるアドレス0x04からの命令の実行と、機能ユニットB16によるアドレス0x08からの命令の実行とが、同時に行われる。機能ユニットA15は、図8に示すように、読み出しポート31を介してレジスタR3のデータを読み出す。また、読み出しポート33を介してレジスタR5のデータを読み出す。そして、レジスタR3のデータとレジスタR5のデータとを加算し、その加算結果を書き込みポート35を介してレジスタR2に書き込む。

【0050】一方、機能ユニットB16は、図5に示すように、読み出しポート32を介してレジスタR3のデータを読み出す。また、読み出しポート34を介してレジスタR5のデータを読み出す。そして、レジスタR3のデータからレジスタR5のデータを減算し、その減算結果を書き込みポート36を介してレジスタR6に書き込む。すなわち、アドレス0x04からの命令とアドレス0x08からの命令とは、読み出しポート31～34或いは書き込みポート35、36の競合が発生せず、同時に実行することが可能となる。

【0051】以上説明したように、この実施の形態の情報処理装置では、機能ユニットA15と機能ユニットB16との機能が異なっても、読み出しポート31～34或いは書き込みポート35、36の競合が発生することなく、機能ユニットA15と機能ユニットB16との並列動作が可能となる。このため、例えば、整数演算と浮動小数点演算を別々の機能ユニットを用いて行う場合に、それぞれの機能ユニットに固有のレジスタファイルを設定する必要がない。

【0052】〔第3の実施の形態〕図9は、この実施の形態にかかる情報処理装置の構成を示すブロック図である。図示するように、この情報処理装置は、命令キャッ

シュ11と、プリフェッチバッファ12と、デコーダ13と、リネーミング機構41と、多ポートレジスタファイル42と、機能ユニットA15と、機能ユニットB16とから構成されている。

【0053】この情報処理装置において、命令キャッシュ11、プリフェッチバッファ12、デコーダ13、機能ユニットA15及び機能ユニットB16の構成は、第1の実施の形態のもの（図1）と同一である。また、多ポートレジスタファイル42及び多ポートレジスタファイル42内に含まれるメモリセルブロック43、44は、コンパイルされたアセンブラプログラムでは、論理レジスタとして指定され、各論理レジスタR1～R6が後述するようにリネーミング機構41によって変換された物理レジスタr1～r6としてアクセスされる以外は、第1の実施の形態のものと同じである。

【0054】リネーミング機構41は、後述するようにコンパイル時に各変数に割り当てられたレジスタを論理レジスタR1～R6とし、各論理レジスタR1～R6に対して、多ポートレジスタファイル42のメモリセルブロック43、44内に設けられている物理レジスタr1～r6を割り当てる。ここで、物理レジスタr1～r3は、メモリセルブロック43内に設けられており、物理レジスタr4～r6は、メモリセルブロック44内に設けられている。

【0055】以下、この実施の形態にかかる情報処理装置の動作について、説明する。この実施の形態において、情報処理装置が処理する処理は、第1の実施の形態のものと同じ、数式1に示すものとする。

【0056】この実施の形態では、上記処理を実行するためのソースプログラムをアセンブラプログラムにコンパイルするときに、コンパイラは、表5に示すように、上記処理中の変数a～fに多ポートレジスタファイル14の論理レジスタR1～R6を割り当てる。また、リネーミング機構41は、割り当てられた論理レジスタR1～R6に対して、表5に示すように物理レジスタr1～r6を割り当てる。

【表5】

変数	割り当てられた 論理レジスタ	割り当てられた 物理レジスタ
a	R1	r1
b	R2	r4
c	R4	r6
d	R3	r3
e	R6	r2
f	R5	r6

【0057】また、上記コンパイラによってコンパイルされたアセンブラプログラムは、表6に示すようにな

る。また、コンパイラによって、各命令ステップを処理するための機能ユニットは、論理レジスタR1～R6の割当てに従って、表6に示すように振り分けられる。これらは、命令キャッシュ11に格納される（但し、命令ア＊

＊ドレスは16進の下2桁のみを示し、命令は0x00番地から格納される）。

【表6】

命令 アドレス	命令	注 釈	機能ユニット
00	ADD R1, R2, R4	$R4 \leftarrow R1 + R2$	B
04	ADD R4, R3, R6	$R6 \leftarrow R4 + R3$	B
08	SUB R4, R3, R5	$R5 \leftarrow R4 - R3$	B

【0058】しかしながら、この実施の形態においては、リネーミング機構41によって物理レジスタr1～r6が割り当てられ、実際に実行されるプログラム及び＊

＊各命令ステップでの機能ユニットの振り分けは、表7に示すものとなる。

【表7】

命令 アドレス	命令	注 釈	機能ユニット
00	ADD r1, r4, r5	$r1 \leftarrow r4 + r5$	B
04	ADD r5, r3, r2	$r2 \leftarrow r5 + r3$	A
08	SUB r5, r3, r6	$r6 \leftarrow r5 - r3$	B

【0059】なお、後述するように表6に示す命令の実行が開始されるときには、変数a、b及びdの値は、それぞれに割り当てられた論理レジスタR1、R2及びR3に対して割り当てられる物理レジスタr1、r4及びr3に格納されているものとする。

【0060】この実施の形態において、命令キャッシュ11に格納された命令の取り出しからデコーダ13による命令のデコードまでの動作は、第1の実施の形態の場合と同一である。ここで、デコーダ13によるデコード結果では、表6に示すように、アドレス0x00からの命令、アドレス0x04からの命令、アドレス0x08からの命令のいずれも機能ユニットB16によって実行されることとなるので、並列処理ができない。

【0061】そこで、リネーム機構41は、命令中で割り当てられているレジスタを論理レジスタとし、表5に示すように、各論理レジスタR1～R6に対して物理レジスタr1～r6を割り当てる。すると、この情報処理装置は、実質的に表7に示す命令を実行していることとなる。

【0062】以下、この情報処理装置における上記の表7に示す命令列の実行について、図10～図12を参照して、説明する。

【0063】まず、アドレス0x00からの命令は、機能ユニットB16が実行する。機能ユニットB16は、図10に示すように、読み出しポート52を介して物理

レジスタr1（論理レジスタR1）のデータを読み出す。また、読み出しポート54を介して物理レジスタr4（論理レジスタR2）のデータを読み出す。そして、物理レジスタr1のデータと物理レジスタr4のデータとを加算し、その加算結果を書き込みポート56を介して物理レジスタr5（論理レジスタR4）に書き込む。

【0064】次に、機能ユニットA15によるアドレス0x04からの命令の実行と、機能ユニットB16によるアドレス0x08からの命令の実行とが、同時に行われる。機能ユニットA15は、図11に示すように、読み出しポート51を介して物理レジスタr3（論理レジスタR3）のデータを読み出す。また、読み出しポート53を介して物理レジスタr5（論理レジスタR4）のデータを読み出す。そして、物理レジスタr3のデータと物理レジスタr5のデータとを加算し、その加算結果を書き込みポート55を介して物理レジスタr2（論理レジスタR6）に書き込む。

【0065】一方、機能ユニットB16は、図12に示すように、読み出しポート52を介して物理レジスタr3（論理レジスタR3）のデータを読み出す。また、読み出しポート54を介して物理レジスタr5（論理レジスタR4）のデータを読み出す。そして、物理レジスタr5のデータから物理レジスタr3のデータを減算し、その減算結果を書き込みポート56を介して物理レジスタr6（論理レジスタR5）に書き込む。

【0066】すなわち、アドレス0x04からの命令とアドレス0x08からの命令とは、表6に示した論理レジスタをそのまま物理レジスタとした場合には同時に実行することが不可能であるが、リネーム機構41によって論理レジスタR1～R6に対してそれぞれ特定の物理レジスタr1～r6を割り当てることによって、読み出しポート51～54或いは書き込みポート55、56の競合が発生せず、同時に実行することが可能となる。

【0067】以上説明したように、この実施の形態の情報処理装置では、コンパイル時に決定された論理レジスタR1～R6の割当のままで機能ユニットA15と機能ユニットB16との並列処理が不可能な場合でも、リネーム機構41が論理レジスタR1～R6に物理レジスタr1～r6を割り当てることによって、機能ユニットA15と機能ユニットB16との並列処理が可能となる。

【0068】[実施の形態の変形] 上記の第1～第3の実施の形態では、各命令についての演算処理を機能ユニットA15と機能ユニットB16のいずれで行うべきかの振り分けは、コンパイル段階で行われ、命令と共に命令キャッシュ11に書き込まれていた。しかしながら、機能ユニットA15と機能ユニットB16との振り分けは、デコーダ13が、命令中の命令コード或いは指定されているレジスタに従って判断して行ってもよい。

【0069】上記の第1～第3の実施の形態では、各命令へのレジスタの割り当て及び実行すべき機能ユニットの決定は、ソースプログラムをアセンブラプログラムにコンパイルするときにコンパイラが行っていた。しかしながら、各命令を実行すべき機能ユニットの決定は、ソースプログラムからアセンブラプログラムへコンパイルした後、コンパイラとは別の専用のソフトウェアによって行ってもよい。

【0070】上記の第1～第3の実施の形態では、アドレス0x04からの命令は、同時にデコードされたアドレス0x00からの命令の実行結果を利用するものであったため、逐次実行されていた。しかしながら、デコーダ13は、同時にデコードされる命令が互いの処理結果を利用しないものである場合は、読み出しポート31～34及び書き込みポート35、36に衝突が生じない範囲で、デコードした複数の命令を機能ユニットA15と機能ユニットB16とに同時に実行させるように制御してもよい。

【0071】上記の第1～第3の実施の形態では、機能ユニットA15と機能ユニットB16との2つの機能ユニットが設けられた2並列で処理を行う情報処理装置に本発明を適用した場合について説明した。しかしながら、本発明の情報処理装置は、2つ以上の任意数の機能ユニットをもつことができる。この場合、情報処理装置内に設けられる多ポートレジスタメモリ内の各レジスタ(メモリセル)の内容は、機能ユニットの数と同数の読

み出しポートに接続され、この読み出しポートの数よりも少ない数(好ましくは、1つ)の書き込みポートに接続されたものとして行うことができる。

【0072】上記の第1～第3の実施の形態の情報処理装置では、1命令が4ワードによって構成されるものであった。これに対し、本発明は、VLIW (Very Long Instruction Word) 方式の情報処理装置に適用することもできる。この場合、機能ユニットの振り分けは、命令中に含まれる複数のフィールドによって行われるものとなる。

【0073】

【発明の効果】以上説明したように、本発明によれば、複数の機能ユニットが多ポートレジスタファイルの各メモリセルブロックに接続されていなくても、複数の機能ユニットによる並列処理が可能となる。このため、多ポートレジスタファイルに設ける書き込みポートの数を少なく抑えることができ、しかも同一のデータを書き込むメモリセルを複数設ける必要がない。従って、多ポートレジスタファイルの面積を小さくすることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態にかかる情報処理装置の構成を示すブロック図である。

【図2】図1の情報処理装置における多ポートレジスタファイルと機能ユニットの接続を示す図である。

【図3】本発明の第1の実施の形態における動作を説明する図である。

【図4】本発明の第1の実施の形態における動作を説明する図である。

【図5】本発明の第1の実施の形態における動作を説明する図である。

【図6】本発明の第2の実施の形態における動作を説明する図である。

【図7】本発明の第2の実施の形態における動作を説明する図である。

【図8】本発明の第2の実施の形態における動作を説明する図である。

【図9】本発明の第3の実施の形態にかかる情報処理装置の構成を示すブロック図である。

【図10】本発明の第3の実施の形態における動作を説明する図である。

【図11】本発明の第3の実施の形態における動作を説明する図である。

【図12】本発明の第3の実施の形態における動作を説明する図である。

【図13】従来例の情報処理装置の構成を示す図である。

【図14】従来例の情報処理装置の構成を示す図である。

【図15】従来例の整数演算用レジスタファイルと浮動小数点演算用レジスタファイルを分けた装置の構成を示

す図である。

【符号の説明】

- 11 命令キャッシュ
- 12 プリフェッチバッファ
- 13 デコーダ
- 14 多ポートレジスタファイル
- 15 機能ユニットA
- 16 機能ユニットB
- 17 データキャッシュ
- 18、19 メモリセルブロック

*21、22 命令データ線

23、24 信号線

25～27 データ線

31～34 読み出しポート

35、36 書き込みポート

41 リネーミング機構

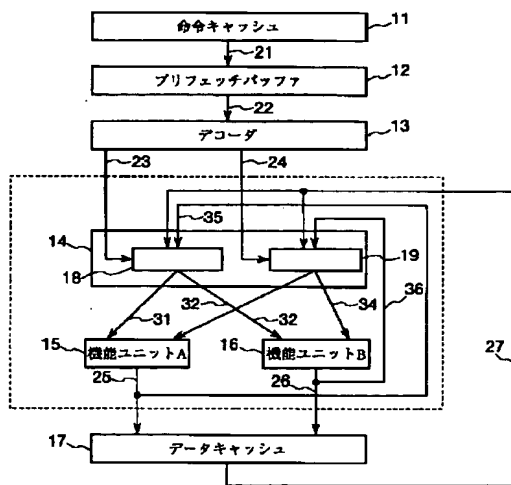
42 多ポートレジスタファイル

43、44 メモリセルブロック

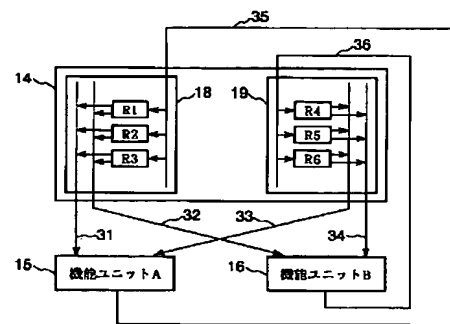
51～54 読み出しポート

*10 55、56 書き込みポート

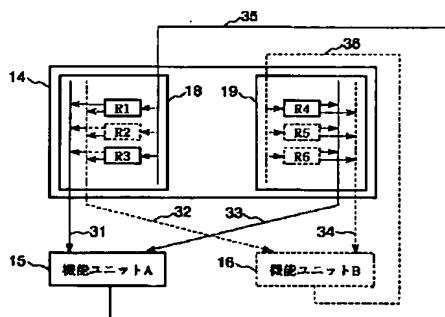
【図1】



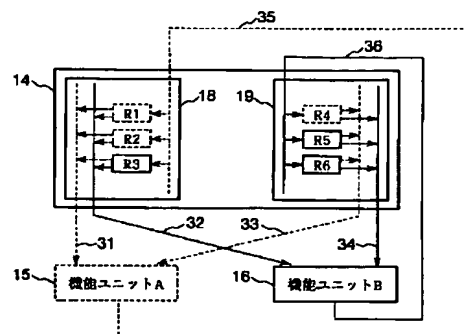
【図2】



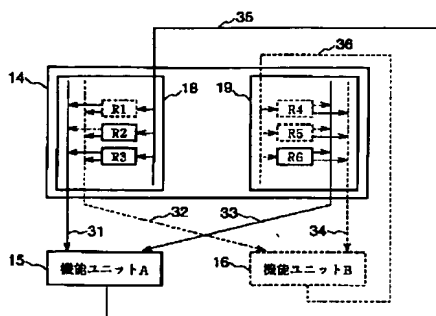
【図3】



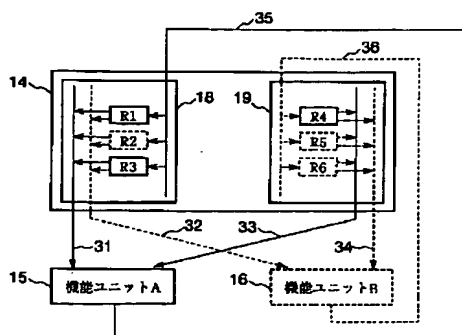
【図4】



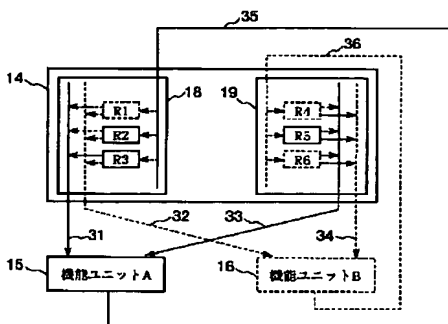
【図5】



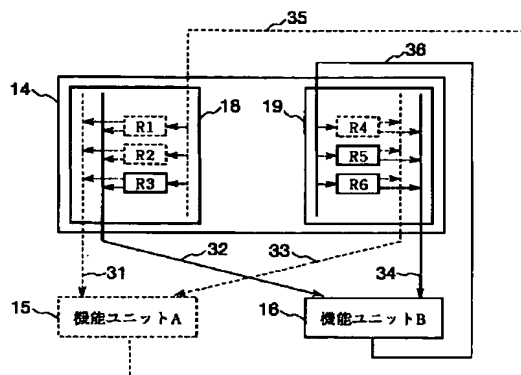
【図6】



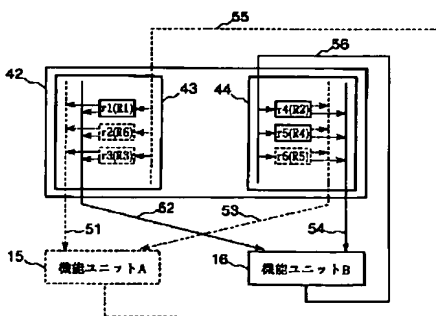
【図7】



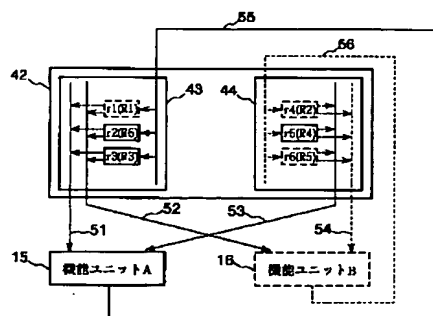
【図8】



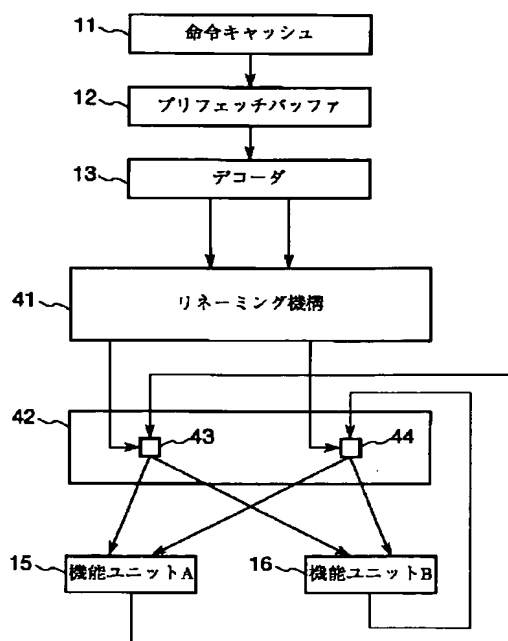
【図10】



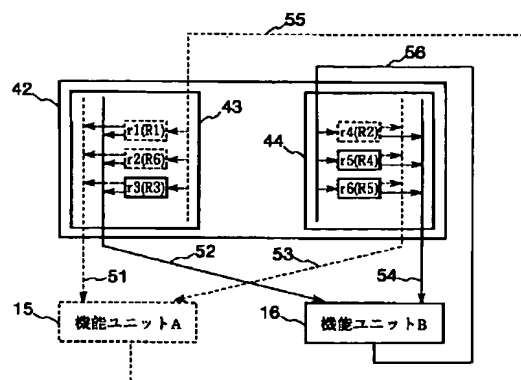
【図11】



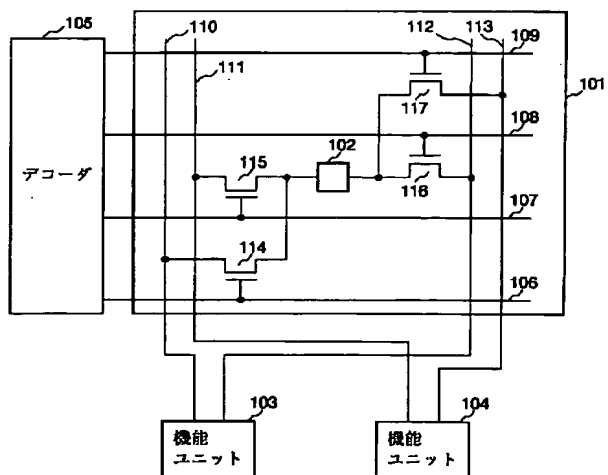
【図9】



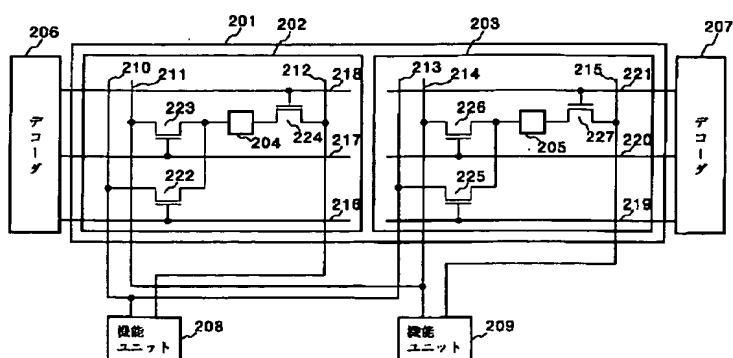
【図12】



【図13】



【図14】



【図15】

